

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: **04291962 A**(43)Date of publication of
application: **16. 10 . 92**

(51)Int. Cl

H01L 27/112(21)Application number: **03057422**(71)Applicant: **FUJITSU LTD**(22)Date of filing: **20 . 03 . 91**(72)Inventor: **TAKEMAE YOSHIHIRO****(54)MANUFACTURE OF MASK ROM AND
MASK ROM**

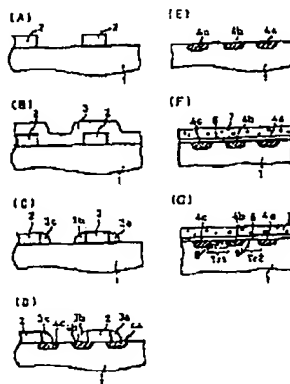
(57)Abstract:

PURPOSE: To reduce an interval between a line and a space and to improve integration of a mask ROM by forming a plurality of stripes on a surface of a semiconductor substrate, forming a film to become a solid diffusion source on the side of each stripe, and diffusing an impurity from the film.

CONSTITUTION: An SiO_2 layer which can be operated as a function of a mask to diffuse an impurity on a surface of a p^- type silicon substrate 1, and formed in a stripe state by a photolithography. Then, a phosphosilicate glass (PSG) layer 3 is formed to cover the layer 2. Thereafter, the layer 3 is etched by anisotropic etching, the layer 3 on the surface of the layer 2 is removed, the layer 3 on the side remains, and PSG layers 3a, 3b, 3c are formed. Then, with the layers 3a, 3b, 3c as diffusion sources an impurity is

diffused to form n^+ type diffused layers 4a, 4b, 4c. The layers 2, 3 are removed by etching of removing an oxide film.

COPYRIGHT: (C)1992,JPO&Japlo



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-291962

(43) 公開日 平成4年(1992)10月16日

(51) Int.Cl.⁵

H 0 1 L 27/112

識別記号

庁内整理番号

F I

技術表示箇所

8831-4M

H 0 1 L 27/10

4 3 3

審査請求 未請求 請求項の数 5 (全 8 頁)

(21) 出願番号

特願平3-57422

(22) 出願日

平成3年(1991)3月20日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 竹前 義博

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 井桁 貞一

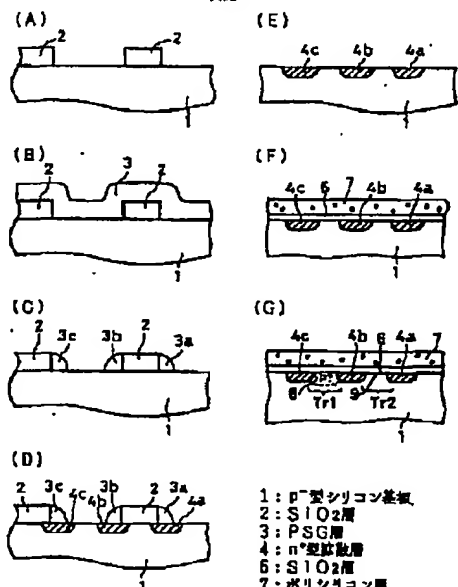
(54) 【発明の名称】 マスクROMの製造方法とマスクROM

(57) 【要約】

【目的】 マスクROMと呼ばれる読み出し専用半導体メモリに関し、マスクROM回路装置において、ライン/スペースの間隔を減少することのできるマスクROMの製造方法を提供することを目的とする。

【構成】 複数のビット線間にマトリクス状にトランジスタが接続され、ビット線と交差する複数のワード線がトランジスタのゲートに接続され、各トランジスタの閾値によって情報を記憶するマスクROMの製造方法において、半導体基板表面上に、ビット線に沿って、不純物拡散のマスクとなり得る材料で形成された複数のストライプを形成する工程と、ストライプを覆って、半導体基板表面上に固相拡散源となり得る被膜を形成する工程と、被膜を異方性エッチングし、ストライプの側面上にのみ被膜を残す工程と、ストライプ側面上の被膜から半導体基板内に不純物を拡散させ、ビット線を形成する工程とを含むように構成する。

実施例



【特許請求の範囲】

【請求項1】 複数のビット線(DBL1)間にマトリクス状にトランジスタ(Q)が接続され、ビット線と交差する複数のワード線(WL1)がトランジスタのゲートに接続され、各トランジスタの閾値によって情報を記憶するマスクROMの製造方法において、半導体基板表面上に、ビット線の方向に沿って、不純物拡散のマスクとなり得る材料で形成された複数のストライプを形成する工程と、前記ストライプを覆って、前記半導体基板表面上に固相拡散源となり得る被膜を形成する工程と、前記被膜を異方性エッチングし、前記ストライプの側面上にのみ前記被膜を残す工程と、前記ストライプ側面上の被膜から前記半導体基板内に不純物を拡散させ、ビット線を形成する工程とを含むマスクROMの製造方法。

【請求項2】 請求項1記載のマスクROMの製造方法であって、前記ストライプは酸化物で形成され、前記被膜は不純物を含んだ酸化膜で形成され、さらに、拡散後、前記ストライプと前記側面上の被膜とを同時に除去する工程を含むマスクROMの製造方法。

【請求項3】 請求項1ないし2記載のマスクROMの製造方法であって、前記異方性エッチング後のストライプ側面上の被膜はストライプの両側面上の被膜の間および隣接するストライプの対向した側面上の被膜の間で等間隔に配置されているマスクROMの製造方法。

【請求項4】 請求項1～3のいずれかに記載のマスクROMの製造方法において、ビット線を所定本数の組に分け、各組内の隣接するビット線間にトランジスタを配置し、組と組との間にはトランジスタを形成しないマスクROMの製造方法。

【請求項5】 複数のビット線(DBL1)間にマトリクス状にトランジスタ(Q)が接続され、ビット線と交差する複数のワード線(WL1)がトランジスタのゲートに接続され、各トランジスタの閾値によって情報を記憶するマスクROMにおいて、ビット線が複数本ずつの組に分けられており、各組内の隣接するビット線間にはトランジスタが配置されており、隣接する組間にはトランジスタが配置されていないマスクROM。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体メモリに関し、特にマスクROMと呼ばれる読み出し専用半導体メモリに関する。

【0002】

【従来の技術】 図4に、トランジスタの閾値の高低により、データを記憶したマスクROMの回路を示す。所定の閾値が選択的不純物ドーピングによって設定された複数のトランジスタQ101、Q102、…Qn01、Qn02、…がマトリクス状に配置されている。これらのトランジスタは、図の横方向で示す行方向に直列に接続されている。各行に平行にワード線WL1、…WLnが配置

され、各行のトランジスタのゲート電極に接続されている。

【0003】 また、図中縦方向に示す各列のトランジスタのソース/ドレインは、列方向に配置された拡散ビット線DBLに接続されている。

【0004】 このようなマスクROMの記憶容量は、マトリクス状に配置したトランジスタの数によって定まる。記憶容量を増大させるには、トランジスタの寸法を小さくし、密に配置することが望まれる。

10 【0005】 たとえば、トランジスタQ101のゲートはワード線WL1によって駆動され、ソース/ドレインは、拡散ビット線DBL0とDBL1に接続されている。これらの拡散ビット線DBL0、DBL1、…は、バンク選択トランジスタQ10、Q11、…Q20、Q21、…を介して金属で形成された半導体表面上のビット線BL0、BL1、…に接続されている。

【0006】 たとえば、マトリクスの元であるトランジスタQ101が選択された時は、ワード線WL1に電圧が印加され、拡散ビット線DBL0とDBL1の間に電圧が印加される。トランジスタQ101は、そのチャネル領域のドーピングレベルに応じてオン状態になるかオフ状態に保たれる。トランジスタQ101がオンになると、実線の矢印に示すようにビット線BL1からビット線BL0に電流i0が流れ、この電流i0を検出することによってメモリ状態を読み出す。トランジスタQ101の閾値が高いと、トランジスタQ101はオン状態にならず、電流は流れない。

【0007】 たとえば、ビット線BL0を接地し、ビット線BL1に電位を与えることにより実線の矢印で示す電流i0が流れる。

【0008】 しかしながら、ワード線WL1の電圧は、トランジスタQ101の他、同一行の他のトランジスタQ102、Q103、…にも印加される。トランジスタQ102等がオン状態になると、実線i0で示す電流の他、破線で示す電流i1等も流れる。このため、電流i0が減少する。この電流の減少が読み出しスピードの遅れ等の問題を起こす。

【0009】 図5は、図4に示すマスクROM回路を実現する従来の技術による構造を示す。図5(A)は平面図を示し、図5(B)～(E)はそれぞれB-B、C-C、D-D、E-Eの線に沿う断面図を示す。拡散ビット線4a、4b、4c、…は半導体基板内に形成された拡散領域で構成され、ワード線7a、7b、7c、…は、半導体表面上に絶縁膜を介して形成されたポリシリコン領域で構成される。ワード線7aが存在する領域での断面構造は、図5(B)に示すように、半導体基板1内に拡散で形成されたビット線4a、4b、4cが配置され、その間の領域5がチャネル領域となる。半導体基板1表面上には、SiO2等の絶縁膜6が形成され、その上にドーピングされた多結晶シリコンで形成されたワード

3

線7bが配置されている。なお、ワード線7bの上にも、SiO₂等の保護膜11が配置されている。

【0010】ワード線が存在しない領域での断面は、図5(C)に示すように、半導体基板1の表面に絶縁膜6と保護膜11が積層されている。なお、拡散ビット線4a、4b、4c、…の間には、誘起チャネルを防止するためのチャネルストップ領域12が、基板1と同導電型の不純物を多量にドーピングすることによって形成されている。このため、各行間のトランジスタは分離される。

【0011】拡散ビット線の存在する領域での列に沿う断面構造は図5(D)に示される。半導体基板1の表面に、逆導電型の不純物をドーピングすることによって形成された拡散ビット線4cが形成され、その上に絶縁膜6を介して多結晶ワード線7a、7b、7c、…が交差して配置されている。

【0012】拡散ビット線が存在しない領域での断面構造は、図5(E)に示される。半導体基板1の表面部分には、ワード線7a、7b、7c、…の下にチャネル領域5が形成され、その間の領域にはチャネルストップ領域12が形成されている。半導体基板1の表面には、絶縁膜6を介して多結晶シリコンのワード線7a、7b、7c、…が紙面と垂直な方向に延在している。ワード線7a、7b、…の下の領域は各トランジスタのチャネル領域を構成する。

【0013】

【発明が解決しようとする課題】以上説明したように、トランジスタのチャネル領域の閾値によって情報を記憶するマスクROM回路においては、集積度の向上は、トランジスタ構造を微細化することを必要とする。トランジスタ構造の微細化は、リソグラフィ技術のライン/スペースの限界によって制限される。たとえば、0.5μmピッチで限界となる。

【0014】本発明の目的は、マスクROM回路装置において、ライン/スペースの間隔を減少することのできるマスクROMの製造方法を提供することである。

【0015】また、本発明の目的は、トランジスタの閾値の高低によって情報を記憶するマスクROM回路において、読み出し速度を速くすることのできる構造を有するマスクROMを提供することである。

【0016】

【課題を解決するための手段】本発明のマスクROMの製造方法は、複数のビット線間にマトリクス状にトランジスタが接続され、ビット線と交差する複数のワード線がトランジスタのゲートに接続され、各トランジスタの閾値によって情報を記憶するマスクROMの製造方法において、半導体基板表面上に、ビット線の方

4

向に沿って、不純物拡散のマスクとなり得る材料で形成された複数のストライプを形成する工程と、ストライプを覆って、半導体基板表面上に固相拡散源となり得る被膜を形成する工程とを含む。

【0017】また、本発明のマスクROMは、複数のビット線間にマトリクス状にトランジスタが接続され、ビット線と交差する複数のワード線がトランジスタのゲートに接続され、各トランジスタの閾値によって情報を記憶するマスクROMにおいて、ビット線が複数本づつの組に分けられており、各組内の隣接するビット線間にはトランジスタが配置されており、隣接する組間にはトランジスタが配置されていない。

【0018】

【作用】半導体基板表面上に複数のストライプを形成し、各ストライプの側面に固相拡散源となる被膜を形成し、この固相拡散源である被膜から不純物を拡散させることによって、ストライプあたり2本のビット線を形成する。

【0019】このため、リソグラフィ技術のライン/スペースの限界を越えて拡散ビット線を形成することができ

る。

【0020】また、ビット線を複数本づつの組に分け、各組内のビット線間にはトランジスタを配置しないことにより、情報読み出し時の寄生電流を制限することができ

る。

【0021】

【実施例】以下、本発明の実施例を図面を参照して説明する。

【0022】図1は、本発明の実施例によるマスクROMの製造方法を示す断面図である。まず、図1(A)に示すように、p⁺型シリコン基板1の表面に、不純物拡散に関し、マスクとして機能することのできるSiO₂層2を形成し、ホトリソグラフィによってストライプ状に成形する。

【0023】次に、図1(B)に示すように、ストライプ状のSiO₂層2を覆ってホスホシリケートガラス(PSG)層3を形成する。PSGは、シリコンに対してn型不純物として機能するリン(P)を含むシリケートガラスである。

【0024】続いて、図1(C)に示すように、リアクティブイオンエッチング(RIE)等の異方性エッチングを行なって、PSG層3をエッチングする。異方性エッチングによって表面から所定厚さのPSG層3が除去されると、図1(C)に示す構造が形成される。すなわち、PSG層3の形成の際には、露出表面上にほぼ均等な厚さでPSG層3が形成されるが、異方性エッチングの際には表面から所定厚さのPSG層が除去されるため、半導体基板1表面上のPSG層が除去された状態において、ストライプ状SiO₂層2の表面上のPSG層3は除去されるが、側面上のPSG層は残留する。

【0025】このようにして、各ストライプ状SiO₂

5

層2の両側面にPSG層3a、3b、3c、…が得られる。

【0026】次に、図1(D)に示すように、ストライプ状SiO₂層2側面上のPSG層3a、3b、3c、…を拡散源として不純物拡散を行なうことにより、PSG層3下部にn型拡散層4a、4b、4c、…が形成される。たとえば、0.2~0.3μmピッチで拡散層を形成することができる。

【0027】その後、図1(E)に示すように、酸化膜除去のエッチングを行なうことにより、半導体基板1表面上のストライプ状SiO₂層2およびPSG層3は除去される。

【0028】その後、半導体基板1表面上に図1(F)に示すように、ゲート絶縁膜となるSiO₂層6を形成し、その上に不純物をドーブしたポリシリコン(多結晶シリコン)層7を堆積する。ポリシリコン層7の上に、ホトレジスト層を形成し、ホトリソグラフィによりパターンニングすることによって、拡散ビット線4a、4b、4cと交差するポリシリコンワード線7を得る。このようにして、隣接する拡散ビット線の間に絶縁ゲート構造が形成され、MOS型トランジスタが形成される。

【0029】なお、図1(G)に示すように、各トランジスタTrのチャネル領域には選択的にシリコン基板1と同導電型の不純物がドーブされている。すなわち、ドーブされたチャネル領域8は高い閾値を有し、ドーブされていないチャネル領域9は低い閾値を有する。このため、ポリシリコンワード線7に所定電圧を印加した時、トランジスタTr1はオンしないが、トランジスタTr2はオンする。

【0030】以上説明したマスクROMの製造方法によれば、ストライプ状SiO₂層2の両側に拡散ビット線を形成することができるため、集積度を向上させたマスクROMを作成することができる。

【0031】図2は、このようにして作成したマスクROMの構成を示す。図2(A)は平面図であり、図2(B)~(E)は、図2(A)のB-B、C-C、D-D、E-E線に沿う断面図である。

【0032】図2(A)の平面図で明らかなように、図1に示す製造方法で作成したマスクROMは、拡散ビット線4a、4b、4cの幅および間隔(たとえばピッチ0.2~0.3μm)が図5に示す従来技術によるマスクROMの場合(たとえばピッチ0.5μm)と比べ、著しく減少している。このため、図2(B)、図2(C)においても、半導体基板1内の拡散ビット線4a、4b、4cの間隔が狭くなっている。

【0033】その他の点に関しては、図5に示す構造と同様である。たとえば、図2(D)、(E)に示す断面構造は、図5(D)、(E)に示す断面構造と本質的な差異はない。

【0034】なお、固相拡散源としてPSGを用いる場

6

合を説明したが、導電型を反転してポリシリケートガラス(BSG)を用いることや、多結晶シリコンを用いること等もできる。なお、多結晶シリコンを用いる場合は、不純物としてAs、B等をドーブする。

【0035】以上の実施例によれば、マスクROMの集積度を著しく向上させることができる。集積度に余裕がある場合、以下に述べるような他の面での改良を行なうことも可能となる。

【0036】図3は、本発明の他の実施例によるマスクROMの平面構造を概念的に示す。閾値によって情報を記憶するトランジスタがマトリクス状に配置され、所定の電圧をゲートに印加した時、トランジスタがオンするかオフのままかによって情報を読み出すことは前述のマスクROMと同様である。

【0037】本実施例においては、各行に配置されるトランジスタが全て直列に接続されず、図示の場合、2つずつが組にされている。すなわち、ワード線WL11によって駆動されるトランジスタは、Q101とQ102が接続され、Q103とQ104とが接続され、Q105とQ106が接続されるように2つずつが接続され、その間は電気的に分離されている。すなわち、従来の技術によれば、トランジスタQ102とQ103の間には、もう1つのトランジスタQDが存在したが、本実施例においてはQ102とQ103とは分離されている。また、2つずつ接続されたトランジスタの相互接続点に接地線GNDが接続されている。この接地線GNDは、図に示すように、半導体基板上に網目状に配置され、2次元的に拡がっている。

【0038】たとえば、トランジスタQ102の情報を読み出す時には、ワード線WL11にゲート電圧を印加し、拡散ビット線BLD10と接地線GNDの間にドレイン電圧を印加する。トランジスタQ102がオンすれば、拡散ビット線BLB10から接地線GNDに電流が流れる。この電流は、接地線GNDが2次元的に接続されているため、基板表面に2次元的に拡がって流れる。従来技術におけるトランジスタQBが廃止されているため、トランジスタQ102がオンしても、他のトランジスタから流れ込む電流はない。このため、メモリの読み出し速度が速くできる。また、接地線に流れる電流は2次元的に拡がって流れるため、接地線に関する抵抗は無視できる程度まで低くすることができる。

【0039】なお、図中、トランジスタQ11、Q12、…は、バンクセレクト用トランジスタを示し、BSA、BSBはバンクセレクト線を示し、BL0、BL1、…は、半導体基板上に設けた金属のビット線を示し、BLA10、BLB10、…は、拡散ビット線を示し、WL11、…WL1nは、ワード線を示す。

【0040】このように、トランジスタの閾値の高低によって情報を記憶するマスクROMにおいて、トランジスタを置かない領域を設けることにより、トランジスタ

がオンした時の寄生電流を低減することができる。拡散ビット線の幅が狭くなることにより増大する電流路の抵抗は、接地線抵抗の減少によって相殺することが可能である。

【0041】なお、図3にはトランジスタを2つずつ組にする構成を示したが、トランジスタを3つ以上ずつ組にして接続する場合にも、ある程度の効果は得られる。また、接地線の平面パターンニングの1つを示したが、接地線は縦方向、横方向に接続された複数の接地線に接続されるものであれば効果が得られる。

【0042】以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。たとえば、種々の変更、改良、組合わせ等が可能なことは当業者に自明であろう。

【0043】

【発明の効果】以上説明したように、本発明によれば、マスクROMの集積度を向上することができる。

【0044】また、トランジスタを複数ずつ組にして接続することにより、動作特性を向上することができる。

【0045】また、接地線を2次元的に拡がる網目状に接続することにより、接地線の実効抵抗を減少させることができる。

【図面の簡単な説明】

【図1】本発明の実施例によるマスクROMの製造方法

を示す。図1(A)～(G)は、それぞれ半導体基板の断面図である。

【図2】図1の実施例によって製造されるマスクROMの構造を示す。図2(A)は平面図、図2(B)～(E)は断面図である。

【図3】本発明の他の実施例によるマスクROMの概念的平面図である。

【図4】閾値の高低によって情報を蓄積するマスクROM回路の回路図である。

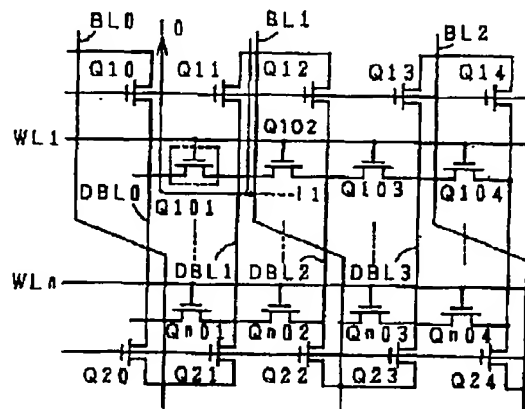
10 【図5】従来の技術を示す。図5(A)は平面図、図5(B)～(E)は断面図である。

【符号の説明】

- 1 p-型シリコン基板
- 2 SiO₂層
- 3 PSG層
- 4 n-型拡散層
- 6 SiO₂層
- 7 ポリシリコン層
- 8 ドープされたチャネル領域
- 9 ドープされていないチャネル領域
- 11 保護層
- 12 チャネルストップ拡散領域
- Tr トランジスタ

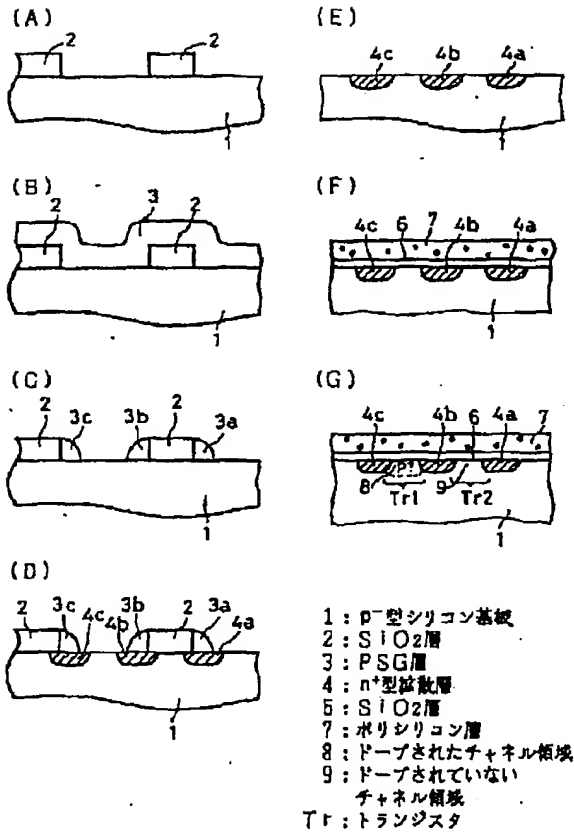
【図4】

マスクROM回路



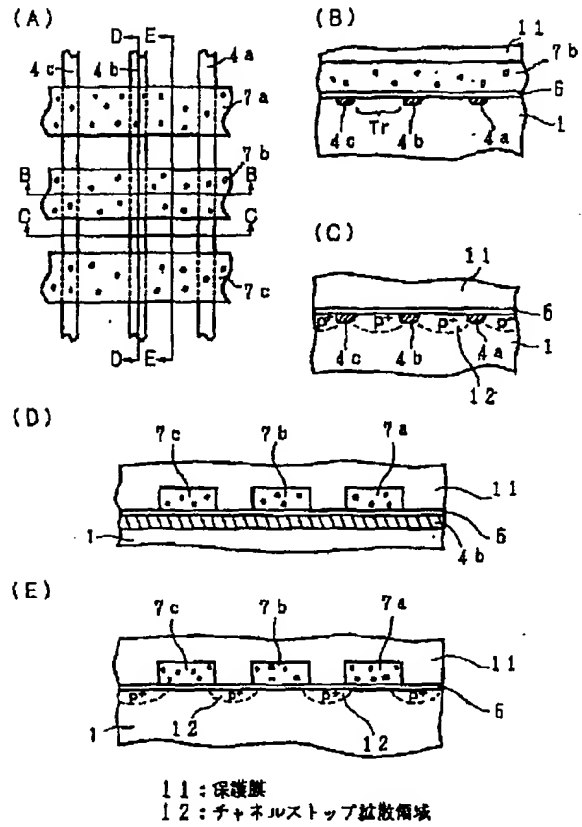
【図1】

実施例



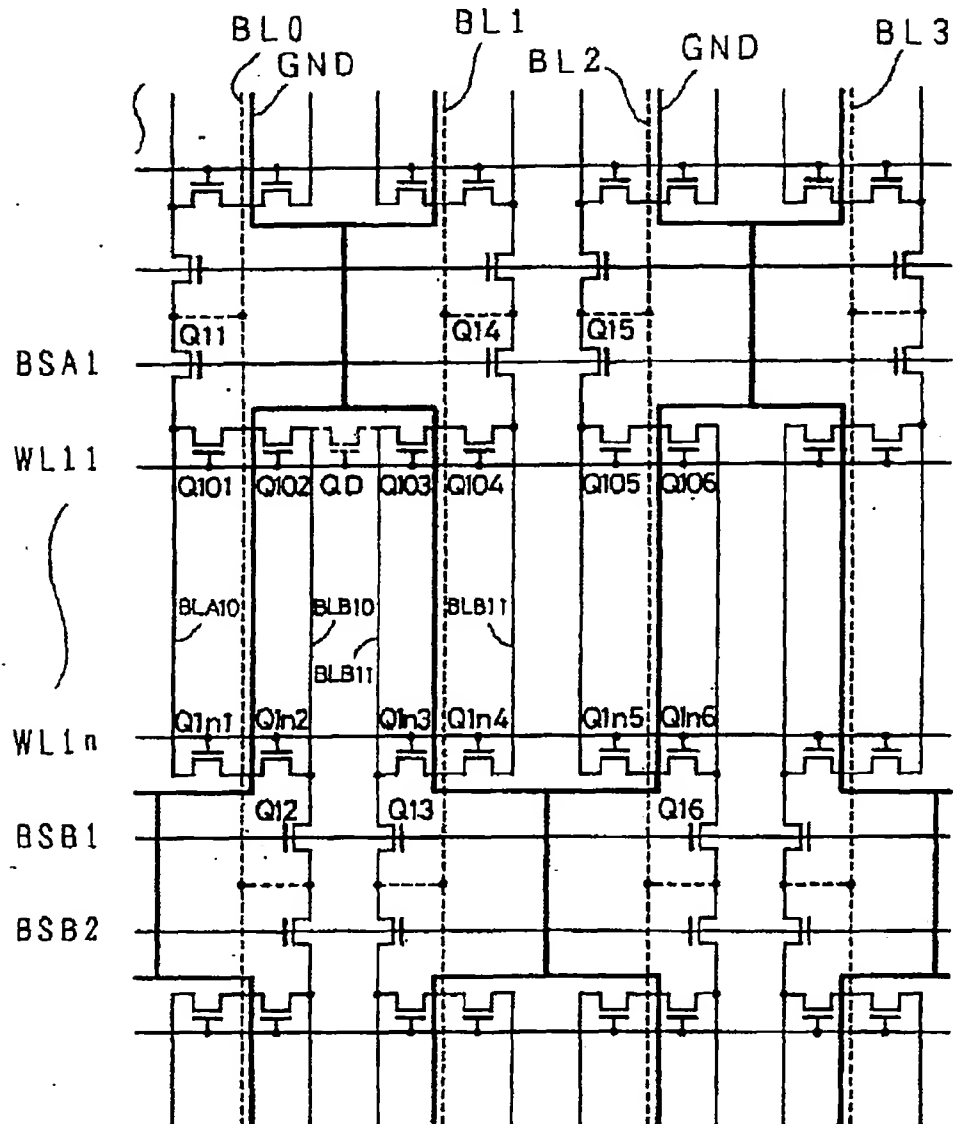
【図2】

図1によって製造されるマスクROM



【図3】

実施例の概念的平面図



【図5】

従来の技術

